

## SEMICONDUCTOR VIBRATION SENSOR

Publication number: JP2002209299 (A)

Publication date: 2002-07-26

Inventor(s): NARUSE YUJIRO +

Applicant(s): TOSHIBA CORP +

Classification:

- international: A61B5/00; H01L29/84; H04R19/04; H04R23/00; A61B5/00; H01L29/66;  
H04R19/00; H04R23/00; (IPC1-7): A61B5/00; H01L29/84; H04R19/04; H04R23/00

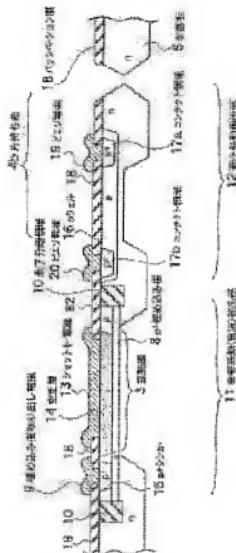
- European:

Application number: JP20000403444 20001228

Priority number(s): JP20000403444 20001228

Abstract of JP 2002209299 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor vibration sensor which detects an acoustic vibration and a specified weak vibration simultaneously through the use of a single semiconductor vibration sensor. SOLUTION: The sensor is provided with an acoustic vibration detecting part 11 having a vibration film 3 consisting of Schottky joint and a p+ buried layer 8 for efficiently propagating a carrier, a weak vibration detecting part 12 constituted of at least one or more cantilever beams and an element separation area 10 for electrically insulating the vibration detecting parts. The acoustic vibration is converted into an electric vibration by the change of a depletion layer width in the vibration film 3, the weak vibration is efficiently detected by the cantilever beams having a specified frequency, the weak vibration is converted into the electric vibration by a p-well 16 and, then, the respective vibrations are electrically taken out.



Data supplied from the **espacenet** database — Worldwide

(19)日本特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-209299

(P2002-209299A)

(43)公開日 平成14年7月26日(2002.7.26)

(51) Int.Cl. <sup>†</sup>	識別記号	F I	ヤードー <sup>†</sup> (参考)
H 04 R 23/00	3 2 0	H 04 R 23/00	3 2 0 4 M 1 1 2
A 6 1 B 5/00	1 0 1	A 6 1 B 5/00	1 0 1 R 5 D 0 2 1
H 01 L 29/84		H 01 L 29/84	Z
H 04 R 19/04		H 04 R 19/04	

審査請求 未請求 請求項の数 5 O L (全 14 頁)

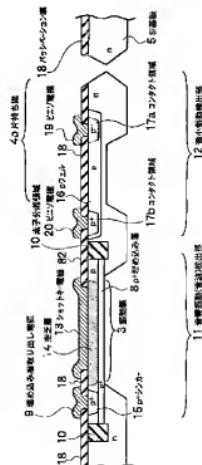
(21)出願番号	特願2000-403444(P2000-403444)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成12年12月28日(2000.12.28)	(72)発明者	成瀬 雄二郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
		(74)代理人	100083806 弁理士 三好 秀和 (外7名) Fターム(参考) 4M112 BA01 BA07 CA03 CA04 CA11 CA13 CA23 CA26 CA28 CA31 CA33 DA04 DA10 DA18 EA03 EA04 EA06 EA07 FA01 GA01 GA03 5D021 CC02 CC19 CC20 DD01

## (54)【発明の名称】 半導体振動センサ

## (57)【要約】

【課題】 音響振動と特定微小振動を单一の半導体振動センサで同時に検出する半導体振動センサを提供する。

【解決手段】 ショットキー接合からなる振動膜3とキャリアを効率的に伝播するためのp+埋め込み層8を有する音響振動検出部1と、少なくとも1以上の片持ち梁からなる微小振動検出部12と、これらの振動検出部を電気的に絶縁するための蒸着分離領域10を有し、振動膜3における空乏層幅の変化より音響振動を電気的振動に変換し、特定の振動数を有する片持ち梁によって微小振動を効率的に検出し、Pウェル16で微小振動を電気的振動に変換することによって、各振動を電気的に取り出す。



## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

該半導体基板の特定の位置に配置された第1振動検出部と、

前記特定の位置とは異なる位置の前記半導体基板に配置された、前記第1振動検出部よりも周波数帯域が高く、前記第1振動検出部とは動作原理の異なる第2振動検出部とからなることを特徴とする半導体振動センサ。

## 【請求項2】 前記第1振動検出部は、共軸子となる片持梁、該片持梁の固定端間に配置されたビエゾ抵抗測定手段とから構成され、

前記第2振動検出部は、半導体薄膜層からなる振動膜、該振動膜の振動による前記半導体薄膜層中に形成される空乏層の等価回路定数の変化を測定する回路定数測定手段とから構成されることを特徴とする請求項1記載の半導体振動センサ。

【請求項3】 導電性材料からなる埋め込み層、該埋め込み層の上部に配置された該埋め込み層よりも高抵抗の半導体薄膜層とからなる振動膜と、

該振動膜の振動による前記半導体薄膜層中に形成される空乏層の等価回路定数の変化を測定する回路定数測定手段とを有することを特徴とする半導体振動センサ。

【請求項4】 前記空乏層は、前記半導体薄膜層とショットキー接合をなすショットキー電極、若しくは前記半導体薄膜層とp-n接合をなす前記半導体薄膜層と反対導電型の半導体層により、前記半導体薄膜層中に形成されることを特徴とする請求項2又は3記載の半導体振動センサ。

【請求項5】 前記半導体基板の一方の主表面に少なくとも接し、前記第2振動検出部に対応する位置に音波導入口を有するパッケージケースを更に有することを特徴とする請求項1又は2記載の半導体振動センサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、振動を検出する半導体振動センサに係り、特に異なる周波数帯域で、異なる振動レベルの複数の振動を同時に検出する半導体振動センサに関する。

## 【0002】

【従来の技術】 20 Hz～200 kHz程度の音響振動を検出する半導体振動センサとして、シリコンを振動膜と背電極とし、酸化シリコン(SiO<sub>2</sub>)をスペーサーとする構造により、コンデンサの静電容量の変化に起因する電圧の変化を測定するコンデンサ型シリコンマイクロフォンが提案されている(千葉晋一ら、日本音響学会講演論文集、第533頁～第534頁、1999年9月～10月参照。)。

【0003】又、音響振動よりも低周波の機械的振動を検出する振動検出センサとしては、ビエゾ抵抗素子を用いたものが提案されている。即ち、共振子中にビエゾ素

子を埋め込み、共振子が振動すると、ビエゾ抵抗素子が歪みを受け、その有する抵抗値を変化させる。ビエゾ抵抗素子にあらかじめ定電流を流しておくことによって、その変化する抵抗値による電圧の変化を読みとり、機械的振動を検出するのである。

【0004】従来は、これらの音響振動検出用のセンサと、音響振動よりも低周波の機械振動検出用のセンサは、それぞれ独立したセンサとして、別々に開発されてきたが、異なる周波数帯域で、異なる振動レベルの複数の振動を同時に検出することが必要となる場合がある。例えば、人間の健康状態や安全状態の監視モニタ等の分野においては、音響振動と音響振動よりも低周波の機械振動を同時に検出する装置が必要となる場合がある。人体には各種の振動が存在し、心拍信号は、約1 Hz程度、呼吸音は、約0.1 Hz程度の振動である。寒さや恐怖に遭遇した場合だけでなく、種々の疾患においても、通常の安静時においても、人間の身体の震え(生理的振動)は起こる。これとは別に、「体表面微小振動」と呼ばれる身体表面の微細振動(マイクロバイブレーション)が存在する。体表面微小振動のリズムは脳波のリズムと良く似ており、1～4 Hzのα波、4～8 Hzのθ波、8～13 Hzのα波、1.3～20 Hzのβ波、2.0～3.0 Hzのδ波に分類されている。これらの体表面微小振動のスペクトル強度の相対比較をすることにより、人間の心理・精神状態が把握出来る可能性がある。

更に、体表面微小振動と、体表面微小振動よりも高周波で且つ振動レベルの高い周囲環境に起因した音響振動を同時に検出するセンサが実現出来れば、対象人物の心理状態及びその人物の周囲の環境を監視することが可能となる。この結果、例えば公共交通機関の運転士に装着することで公共交通機関の運行の安全に資することができる。

【0005】他にも、音響振動と音響振動とは周波数帯域の異なる機械振動を同時に検出出来れば、各種設備や機器の監視に役立つであろうと期待される。例えば、自動車のエンジンの運転監視装置において、エンジン音の他に機械的に劣化した部分が生ずる微小振動を同時に測定すれば、エンジンのより精密な監視が可能となり、事故防止に貢献する。

【0006】これらの監視装置等においては、音響振動と音響振動とは周波数帯域の異なる機械振動を同時に検出する装置が社会的に要請されていると言える。

## 【0007】

【発明が解決しようとする課題】 しかし音響振動と音響振動とは周波数帯域の異なる機械振動とを同時に測定する場合、従来はそれぞれ個別の検出装置が実現されていたのみであるため、独立の振動検出センサを複数用意する必要があった。かかる場合、振動検出システムの小型化に限界があり、例えば人間の心身及び周囲環境のモニタリング装置として人体に装着して使用する場合、利用

者の負担が大きかった。

【0008】一方、音響振動と機械振動は振動を伝搬する媒質が一般には異なるが、振動という点では共通するため、音響振動と機械振動を単一の振動検出センサで検出することも理論的には可能である。しかし、通常は音響振動と機械振動とは振動レベル（振幅）が異なる。検出しようとする特定の機械振動の振幅が微小な場合、この特定の機械振動は異なる周波数帯域を有する大きな振幅の音響振動に埋もれてしまうので、検出することが容易でない。即ち単一の振動検出センサを用いた場合、検出したい特定の振動数の振動に対して十分な検出感度やS/N比を持たないという欠点を有する。

【0009】又、小型化を図るために同一の半導体基板上に複数の振動検出センサを配置した場合、一方の検出装置の動作が他方の検出装置に影響を与えるので、半導体基板のサイズの小型化には一定の制限がある。

【0010】本発明はかかる事情に鑑みてなされたものであり、異なる周波数帯域で、異なる構造の振動検出センサを同一半導体基板上に配置することによって、音響振動と機械的微小振動を同時に検出可能な半導体振動センサを提供することを目的とする。

【0011】本発明の他の目的は、異なる構造の振動検出センサを同一半導体基板上に配置することによって、小型の半導体振動センサを提供することを目的とする。

【0012】本発明の他の目的は、同一半導体基板上に異なる構造の振動検出センサを高密度に配置しても、互いに干渉しない半導体振動センサを提供することである。

### 【0013】

【課題を解決するための手段】本発明の第1の特徴は、半導体基板と、この半導体基板に配置された第1振動検出部及び第2振動検出部とからなる半導体振動センサであることを要旨とする。「第1振動検出部」は、半導体基板の特定の位置に配置されている。又、「第2振動検出部」は、第1振動検出部が配置された特定の位置とは異なる位置の半導体基板に配置されている。そして、

「第2振動検出部」は、第1振動検出部の周波数帯域よりも周波数帯域が高く、且つ第1振動検出部とは、基本構造及び動作原理が異なる検出部である。

【0014】本発明の第1の特徴によれば、周波数帯域と振動レベルの異なる第1振動検出部及び第2振動検出部が同一半導体基板上に配置されるため集積化が可能となり、小型の半導体振動センサの提供が可能となる。例えば、同一の半導体基板上で音響振動と音響振動よりも低周波で、振動レベルの低い機械的微小振動の検出が可能となる。又第1振動検出部には第1振動検出部の特性に適合した第1増幅器が接続可能で、第2振動検出部には第2振動検出部の特性に適合した第2増幅器が接続可能である。第1振動検出部及び第2振動検出部は、互いに電気的に分離された構造とすることが好ましい。異

なる振動レベルの異なる周波数帯域を有する複数の振動を、第1振動検出部及び第2振動検出部で検出し、検出された振動は各振動検出部ごとに設けられた別個の増幅回路によって、互いに同等のレベルにまで增幅出来る。このため、複数の異なる振動レベルの異なる周波数帯域の振動を容易に解析することが可能となる。

【0015】本発明の第1の特徴において、第1振動検出部は、例えば、共振子となる片持ち梁、この片持ち梁の固定端側に配置されたビエゾ抵抗測定手段とから構成すれば良い。片持ち梁構造の振動センサは、片持ち梁（共振子）の長さ、片持ち梁の先端のおもり部の重さ等の構造調整により異なる共振振動数を持たせることができある。かかる場合、共振振動数付近以外の振動数を有する振動に対し片持ち梁は応答しないため、共振振動数を調整することによって相互の検出装置の振動による影響を排除することが可能である。又同様の理由から、検出しようとする振動が微弱振動であっても他の振動数のノイズ振動の影響を受けず、容易に特定振動を検出することが可能となる。

【0016】一方、第2振動検出部は、半導体基板の一部からなる半導体薄膜層からなる振動膜、及び、この振動膜の振動による半導体薄膜層中に形成される空乏層の等価回路定数の変化を測定する「回路定数測定手段」から構成されることが可能である。ここで、空乏層は、半導体薄膜層とショットキー接合をなすショットキー電極、若しくは半導体薄膜層とpn接合をなす半導体薄膜層と反対導電型の半導体層で半導体薄膜層中に形成される。「回路定数測定手段」は、これらのショットキーダイオード、若しくはpn接合ダイオードのインピーダンスの変化、容量変化、抵抗（若しくはコンダクタンス）の変化を測定する、ショットキーダイオード、若しくはpn接合ダイオードの各電極、及びこれらに接続されるオペアンプ、I/Vコンバータ等が該当する。更には、ショットキーダイオード（若しくはpn接合ダイオード）の各電極と電子回路とを接続するに必要な表面配線等も、「回路定数測定手段」に含まれる。

【0017】本発明の第1の特徴においては、第1振動検出部の動作原理は、共振子となる片持ち梁の振動による半導体層の歪みに起因したビエゾ抵抗の変化を測定しているのに対し、第2振動検出部の動作原理は、空乏層の等価回路定数の変化を測定しており、互いに動作原理が異なる。

【0018】本発明の第2の特徴は、振動膜と、この振動膜の振動による振動膜中の電気的等価回路定数の変化を測定する回路定数測定手段とを有する半導体振動センサであることを要旨とする。ここで、「振動膜」は、導電性材料からなる埋め込み層、この埋め込み層の上部に配置されたこの埋め込み層よりも高比抵抗の半導体薄膜層とから構成されている。「回路定数測定手段」は、この振動膜の振動により、高比抵抗の半導体薄膜層中に形

成される空乏層の等価回路定数の変化を測定する。「導電性材料からなる埋め込み層」は、 $3 \times 10^{17} \text{ cm}^{-3}$ ～ $1 \times 10^{21} \text{ cm}^{-3}$ 程度の高不純物密度の半導体領域、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、コバルト(Co)等の高融点金属、これらのシリサイド(WSi<sub>2</sub>, TiSi<sub>2</sub>, MoSi<sub>2</sub>, CoSi<sub>2</sub>)等で構成することが出来る。

【0019】本発明の第2の特徴によれば、空乏層中の等価回路定数の変化を測定することにより、振動膜の振動を電気的信号に変換することが可能となる。又、導電性材料からなる埋め込み層を有することにより空乏層中で生ずる発生再結合電流を効率よく回路定数測定手段で測定出来る。導電性材料からなる埋め込み層には、シンカー等を介して、埋め込み層取り出し電極まで、低抵抗で電流を取り出すように構成すれば良い。空乏層は、第1の特徴と同様に、半導体薄膜層とショットキーキー接合をなすショットキーエ電極、若しくは半導体薄膜層とp-n接合をなす半導体薄膜層と反対導電型の半導体層により、高比抵抗の半導体薄膜層中に形成することが可能である。本発明の「回路定数測定手段」には、これらの空乏層が形成されたショットキーダイオード(若しくはp-n接合ダイオード)のインヒーダンスの変化、容量変化、抵抗(若しくはコンダクタンス)の変化を測定するために必要なショットキーダイオード(若しくはp-n接合ダイオード)の各電極、及びこれらに接続されるオペアンプ、I/Vコンバータ等の電子回路部を備する。更には、ショットキーダイオード(若しくはp-n接合ダイオード)の各電極と電子回路部とを接続するに必要な表面配線等も、「回路定数測定手段」に含まれる。

【0020】本発明の第1及び第2の特徴において、半導体基板の少なくとも一方の主表面に接し、第2振動検出部に対応する位置に音波導入口を有するパッケージースとを更に有するようにしても良い。半導体基板をパッケージースで覆うことにより、半導体振動センサを回路素子として用いることが可能となる。このパッケージースは、一体のパッケージースでも良く、或いは、半導体基板の一方の主表面に接した第1パッケージースと、半導体基板の他方の主表面に接し、第2振動検出部に対応する位置に音波導入口を有する第2パッケージースとから構成するようにしても良い。

#### 【0021】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一又は類似部分には同一又は類似な符号を付している。ただし、図面は模式的なものであり、層の厚みと幅の関係、各層の厚みの比率などは現実のものとは異なることに留意すべきである。又、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

#### 【0022】(最良の実施形態) 本発明の最良の実施形

態に係る半導体振動センサは、図1に示すように、低周波振動を検出する3つの第1振動検出部4a, 4b, 4cと、第2振動検出部としての振動膜3とから構成されている。第2振動検出部は音響振動検出用であり、3つの第1振動検出部4a, 4b, 4cのいずれの周波数帯域よりも周波数帯域が高い。また、第2振動検出部は、3つの第1振動検出部4a, 4b, 4cのいずれともその基本構造及び動作原理が異なる。3つの第1振動検出部4a, 4b, 4cは、互いに共振周波数が異なるが、いずれも音響振動よりも低周波の振動を検出するセンサであり、互いに基本構造及び動作原理を共通にする。3つの第1振動検出部(微小振動検出部)は、それぞれ片持ち梁4a, 4b, 4cからなる共振子から構成されている。3つの片持ち梁4a, 4b, 4cを有するのは、片持ち梁4a, 4b, 4cごとに寸法を変化し、異なる共振振動数をもたせ、異なる周波数帯域の微小振動を検出するためである。したがって片持ち梁の個数は必ずしも3つである必要はなく、検出したい微小振動の固有の周波数によって決定される。

【0023】本発明の実施形態に係る半導体振動センサは、半導体基板、例えば(100)面を有するn型シリコン(Si)基板5上に製造されている。Si基板5の中央部分には、第2振動検出部となる振動膜3が配置されている。振動膜3の左側にはI/Vコンバータ7が配置されている。振動膜3とI/Vコンバータ7はp+埋め込み層8と埋め込み層取り出し電極9を介して接続されている。又振動膜3とI/Vコンバータ7はSi基板5の表面上においても電気的に接続されている。更に、I/Vコンバータ7の左側であってSi基板(チップ)5の周辺部近傍には外部に出力するための2つのボンディングパッド2e, 2fが配置されている。I/Vコンバータ7と、これら2つのボンディングパッド2e, 2fとはアルミニウム配線を介して接続されている。又、振動膜3とI/Vコンバータ7を含む領域はSi基板5の内部に埋め込まれた素子分離領域10によって周囲を囲まれている。

【0024】更に、音響振動検出部と、微小振動検出部を素子分離領域で絶縁することで、一方の半導体振動センサで発生したキャリアが他方の半導体振動センサに流入することを防ぐことが出来る。

【0025】第2振動検出部(振動膜3)の上部には第1振動検出部4aのビエゾ抵抗測定手段に接続される「定電流源及び増幅回路」6aが配置されている。定電流源及び増幅回路6aの右側であってSi基板5の右上端には、第1振動検出部(片持ち梁)4aが配置されている。定電流源及び増幅回路6aと片持ち梁4aは2本のアルミニウム配線を介して相互に電気的に接続されている。又、定電流源及び増幅回路6aの左側であってSi基板5の左端には、4つのボンディングパッド2a, 2b, 2c, 2dが縦に並んでおり、このうち、電圧出

力用の端子として、上部2つのボンディングパッド2a, 2bが定電流源及び增幅回路6aと電気的に接続されている。そして、定電流源及び增幅回路6aのための電源端子として、下の2つのボンディングパッド2c, 2dが定電流源及び增幅回路6aと電気的に接続されている。

【0026】図1に示す上面図において、振動膜3の下方にも、第1振動検出部4bのビエゾ抵抗測定手段に接続される「定電流源及び增幅回路」6bが配置されている。振動膜3の右側であって、第1振動検出部(片持ち梁)4aの下側には第1振動検出部(片持ち梁)4b, 4cが配置されている。定電流源及び增幅回路6bと片持ち梁4bとの間は2本のアルミニウム配線によって電気的に接続されている。定電流源及び增幅回路6bの左側であってS1基板5の左下のチップ端面付近にはボンディングパッド2g, 2hが2つ配置されている。この左下のチップ端面付近のボンディングパッド2g, 2hは、電圧出力用端子としてアルミニウム配線を介して定電流源及び增幅回路6bと電気的に接続されている。又、定電流源及び增幅回路6bの下方であってS1基板5の周辺部近傍にはボンディングパッド2i, 2jが2つ配置され、電源端子として定電流源及び增幅回路6bとアルミニウム配線を介して電気的に接続されている。更に定電流源及び增幅回路6bの下であって振動膜3の右側には第1振動検出部4cのビエゾ抵抗測定手段に接続される「定電流源及び增幅回路」6cが配置されている。定電流源及び增幅回路6cの電源端子としては定電流源及び增幅回路6bの電源端子と共にボンディングパッド2i, 2jが2つ配置され、電圧出力用端子としてアルミニウム配線を介して電気的に接続されている。又、定電流源及び增幅回路6cの電源端子としては定電流源及び增幅回路6bの電源端子と共にボンディングパッド2i, 2jを用いて定電流電源源及び增幅回路6cとボンディングパッド2i, 2jとはアルミニウム配線を介して電気的に接続されている。

【0027】図2は、図1に示した本発明の実施形態に係る半導体振動センサのA-A方向からみた部分的な断面図である。図2に示すように、本発明の実施形態に係る半導体振動センサは、半導体基板(S1基板)5と、この半導体基板(S1基板)5に配置された第1振動検出部(微小振動検出部)12及び第2振動検出部(音響振動検出部)11とから構成されている。第1振動検出部(微小振動検出部)12は、半導体基板5の右側に配置されている。又、第2振動検出部(音響振動検出部)11は、第1振動検出部12が配置された位置とは異なる位置の半導体基板5に配置されている。S1基板5の下端部領域には2つの四部が構成されている。四部の底部を構成する薄い部分を挟んだ左端部、中央部、右端部においてS1基板5は分厚い構造となっている。2つの四部の側面は、基板表面の(100)面に対し(11

1)面が露出し、(100)面に対し、54.74°の角度で交わる。左側の四部の底部となる薄い部分については、音響振動を検出するための第2振動検出部(音響振動検出部)11を構成する必要があるからである。右側の四部の底部の薄い部分については機械的微小振動を検出する第1振動検出部(微小振動検出部)12を構成するために、振動による応力をこの領域に集中的に付加させるためである。図2の断面図における第2振動検出部(音響振動検出部)11及び第1振動検出部(微小振動検出部)12の詳細は後述する。

【0028】図3は本発明の実施形態に係る半導体振動センサのパッケージに関する断面図である。半導体基板5の一方の主表面(表面)に接した第1パッケージケース24は半導体振動センサの表面を保護するためのものである。第1パッケージケース24と半導体振動センサはボンディングパッド2と埋め込み層取り出し電極9との間の部分及び片持ち梁の右側部分で接続され、音響振動検出部並びに微小振動検出部分をパッケージ内部に含むよう半導体振動センサを覆っている(図3では、図1に示したボンディングパッド2a, 2b, c, c, を集中的に、「ボンディングパッド2」と記す。)。ボンディングパッド2についてはリード線26を用いて外部へ出力する必要があるためパッケージケース24の外部に位置している。半導体振動センサの下部(他方の主表面)は第2パッケージケース23により保護されており、片持ち梁以外の半導体振動センサ下部と結合している。又、音響振動を振動膜3で検出するため、第2パッケージケース23のうち、第2振動検出部11に対応する位置(振動膜3の下部の部分)は、音波導入口25が設けられている。なお、第1パッケージケース24と第2パッケージケース23とを一体として構成し、その一部が半導体基板5の一方の主表面、即ち表面か裏面のどちらかに接するよう構成しても良い(表面及び裏面のいずれを、「一方の主表面」或いは「他方の主表面」と呼ぶかは単なる定義の問題である。)。

【0029】【音響振動検出部(第2振動検出部)】次に、図2の断面図に戻り、音響振動検出部(第2振動検出部)11の構造を説明する。図2に示す本発明の実施形態において、第2振動検出部(音響振動検出部)11は、振動膜3と、この振動膜3の振動による振動膜3中の電気的等価回路定数の変化を測定する回路定数測定手段(15, 9, 13)とから構成されている。S1基板5の下端部のうち、左側の四部の底部を構成する薄い部分に振動膜3が配置されている。振動膜3は、三層構造をなし、導電性材料からなる埋め込み層8、この埋め込み層8の上部に配置されたこの埋め込み層8よりも高比抵抗の半導体薄膜層、及びこの高比抵抗の半導体薄膜層に空疎層14を形成するショットキー電極13とから構成されている。最下層の「導電性材料からなる埋め込み層8」は、 $3 \times 10^{17} \text{ cm}^{-3} \sim 8 \times 10^{19} \text{ cm}^{-3}$ 程度のp

型高不純物密度の半導体領域（ $p^+$ 埋め込み層）である。比抵抗で表すと、 $0.014\Omega \cdot cm \sim 0.013\Omega \cdot cm$ 程度である。 $p^+$ 埋め込み層8の上部には、 $p^+$ 埋め込み層8の不純物密度よりも低不純物密度の、例えば、 $5 \times 10^{12} cm^{-3} \sim 1 \times 10^{14} cm^{-3}$ 程度のP型層が形成されている。この場合のP型層の比抵抗は、 $2.7 k\Omega \cdot cm \sim 1.40\Omega \cdot cm$ 程度である。P型層の比抵抗を高く（不純物密度を低く）しているのは、ショットキー接合の空乏層を広くとるためである。比抵抗の低い埋め込み層を設けることで、空乏層で発生したキャリアを、効率よく  $I/V$  コンバータへ伝導させることが出来る。

【0030】又、P型層の左端付近は  $p^+$  埋め込み層8と同等の高不純物密度を有する  $p^+$  シンカー15が配置され、回路定数測定手段（1, 5, 9, 13）の一部を構成している。 $p^+$  シンカー15が配置される場所は振動膜3よりも左側に位置しており、S1基板5の下端部のうち（111）面が露出した部分の上部にある。P型層の上部であってS1基板5の表面上にはショットキー電極13が配置されている。ショットキー電極13の材料は比重の重い金属が望ましい。音響振動を効率的に検出するためである。本発明の実施形態では金（Au）を用いている。勿論、このことはショットキー電極13の材料の限定を意味するものではない。ショットキー電極13の下部領域は前述の通り不純物密度の低いP型層であるため、ショットキー電極13と下部のP型層はオーミック接合ではなく、ショットキー接合を形成する。したがって、ショットキー電極13の下部のP型層には、空乏層14が形成される。P型層の不純物密度を、 $5 \times 10^{12} cm^{-3} \sim 1 \times 10^{14} cm^{-3}$ 程度、若しくはこれ以下に設定することで、拡散電位（ビルトイン・ボテンシャル）のみで空乏層が広がる。このため、ショットキー接合にバイアス電源を必要としないで、音響振動検出部（第2振動膜出部）11を動作させることができとなる。なお、ショットキー電極13の他に、P型層の上部にn型層を形成し、pn接合により空乏層を形成することも可能である。この場合、n型層の表面には、オーム接合が形成される。

【0031】 $p^+$  埋め込み層8及びP型層（空乏層14）の両端には、素子分離領域10が配置されている。この素子分離領域10は、S1基板5の表面から $p^+$ 埋め込み層を貫通する深さのU型の溝部（トレチ）に、酸化膜等の素子分離絶縁膜を埋め込んで形成されている。又、図1に示すように、素子分離領域10は、ショットキー電極13を取り囲むように角形リング状に形成されている。更に、 $p^+$ シンカー15に接するように埋め込み層取り出し電極9が配置されている。

【0032】図5は音響振動検出部11中の振動膜部分付近の斜視図であり、振動膜3の寸法を示す。振動膜3は縦3mm、横3mm、高さ6μmの薄い板状の直方体

の構造となっている。図2及び図5に示す音響振動検出部11において、音響振動が振動膜3に入射することで、振動膜3は物理的に振動する。振動膜3が振動すれば、空乏層14を構成している半導体領域の物理的パラメータが変化し、空乏層容量や接合抵抗などの電気的等価回路定数が変動する。又、振動により空乏層中で「発生再結合電流」が生じるため空乏層14中を、「発生再結合電流」に起因した電流が流れれる。この結果、上述した電気的等価回路定数の変動とあわせて物理的振動が電気的振動へと変換される。その電流が $p^+$ 埋め込み層8及び $p^+$ シンカー15を経て埋め込み層取り出し電極9へと流れ、最終的に $I/V$ コンバータ7へと流れ込む。

I/Vコンバータ7により、電流出力が電圧出力へと変換され、I/Vコンバータ7に接続されたボンディングパッド2e, 2fを通して外部へと出力される。なお、 $p^+$ シンカー15にオーム接合する埋め込み層取り出し電極9の電圧は、 $p^+$ シンカー15を介して $p^+$ 埋め込み層8に印加される。したがって、ショットキー電極13と $p^+$ 埋め込み層8との間に所望の電圧を印加することが出来る。即ち、ショットキー電極13の下部を低不純物密度のP型層とし、P型層で広い空乏層14を形成することで電気的等価回路定数の変動を大きくすることが出来る。更にP型層の下部に面積の広い $p^+$ 埋め込み層8を設けているので、空乏層14中で発生したキャリアは、効率的に取り出されI/Vコンバータ7へと運ばれる。

【0033】図7は音響振動検出部11の簡略化した電気的等価回路である。厳密なショットキーダイオードの等価回路は、非常に複雑であるが、図7では、空乏層容量C<sub>j</sub>、接合抵抗R<sub>j</sub>、振動による発生再結合電流igr及び接触抵抗や寄生抵抗等のシリーズ抵抗Rsのみを考えている。即ち、図2及び図5に示す空乏層14の中には、空乏層容量C<sub>j</sub>、接合抵抗R<sub>j</sub>、igrが存在し、又振動により発生再結合電流igrが生ずるので、空乏層14の部分はこれらのC<sub>j</sub>、R<sub>j</sub>、igrの並列接続回路で表現できる。さらに、空乏層14以外のシリーズ抵抗Rs成分が、空乏層14を表現している並列回路に直列に接続されると近似している。厳密には、ショットキーダイオードの等価回路は、これ以外の複数のC<sub>j</sub>、Rs成分等が複雑な並列回路を構成するが、第1次近似としては、図7で表現可能である（なお、厳密なpn接合ダイオードの等価回路も、非常に複雑であるが、簡略化した表現では、図7と同様なC<sub>j</sub>、R<sub>j</sub>、igrの並列接続と、この並列回路に直列に接続されたシリーズ抵抗Rsを表現できる。）図7で破線で示した音響センサ（ショットキーダイオード）の等価回路27の両端はオペアンプ回路30の2つの入力端子に接続されている（オペアンプ回路30は、図1のI/Vコンバータ7に対応する）。オペアンプ回路30の2つの入力端子の間の入力インピーダンスは無限大であると近似している。オペアンプ回路

30の一方の入力端子と出力端子の間にはフィードバック抵抗Rfが接続されている。このような増幅回路によって、外部へ出力電圧29が出力される。したがって具

$$Vs = Rf(Vos(dCj/dt) + Vos/(Rs + Rj)) + i gr$$

(1)

で与えられる。即ち、空乏層14中で発生したキャリアに起因した電流は、オペアンプ回路30により、出力電圧Vsに変換される。

【0034】本発明の「回路定数測定手段」は、ショットキーダイオード（若しくはpn接合ダイオード）のインピーダンスの変化、容量変化、抵抗（若しくはコンダクタンス）の変化を測定するためのショットキーダイオード（若しくはpn接合ダイオード）のp+シンカー15、ショットキー電極13や埋め込み層取り出し電極9等の電極の他にこれらに接続される表面配線（図示省略）が含まれる。更には、これらの表面配線を介して接続されるオペアンプ回路30も、本発明の「回路定数測定手段」含まれる。

【0035】【微小振動検出部（第1振動検出部）】次に、図2に示した断面図の右側の四部近傍の微小振動検出部（第1振動検出部）12の構造について説明する。図2に示す断面図上では、右端近傍においてSi基板5は、楕円型の溝部により物理的にあたかも2つの領域に分離された形で表現されている。実際には、この部分は、図1の上面図から理解出来るように、紙面の奥の方で連続している。右端近傍に示した楕円型の溝部は、片持ち梁4bの自由端を構成するための溝部である。図2に示す断面図上で物理的に分離された2つの領域のうち、右側領域には特筆する構造を持て有さないため説明を除外し以下左側の領域について説明する。

【0036】右側の凹部の底部となるSi基板5の薄くなっている領域近傍のSi基板5の内部には、ビエゾ抵抗測定手段の一部となるpウェル16が配置されている。pウェル16の両端部付近にはpウェル16よりも不純物密度が高いコンタクト領域17a、17bが配置

$$f_0 = \omega_0 / 2\pi = (1/2\pi)$$

という式で与えられる。式(2)で、mは片持ち梁のおもじ部の質量であり、Eはヤング率、J=bh<sup>3</sup>/12である。Siの密度は2.3g/cm<sup>3</sup>であり、ヤング率が1.3、1N/mm<sup>2</sup>であるので、図4においてh=28μm、b=1mm、l=3.5mm、x=3.5mm、y=7mmとすると、式(2)より、共振振動数f<sub>0</sub>=80Hzの片持ち梁となる。

$$Vs = A \cdot R_p \cdot i_c$$

で与えられる。ここでAは増幅器の増幅度を意味する。片持ち梁4aと定電流源及び増幅回路6aからなる部分の電気的な等価回路、及び片持ち梁4cと定電流源及び増幅回路6cからなる部分の電気的な等価回路も同様に、(3)式で示される出力電圧を得ることが出来る。

【0040】図8、図9は本発明の実施形態に係る半導

体的に出力電圧29の値Vsは、オペアンプ回路30の2つの入力端子間の入力電圧をVosとして、

されている。コンタクト領域17a、17bそれぞれの上部であってS1基板5上にはビエゾ電極19、20が配置されている。pウェル16、コンタクト領域17a、17b、ビエゾ電極19、20により、ビエゾ抵抗測定手段が構成されている。又、全体を通してS1基板5の表面上であって前述のショットキー電極13、埋め込み層取り出し電極9、ビエゾ電極19、20以外の領域はバッシベーション膜18で覆われている。

【0037】図2に示す片持ち梁4bは、外部からの機械的微小振動を受けて振動する共振子となる。S1基板5の薄くなった部分、即ち共振子（片持ち梁）4bの固定端部分が共振子（片持ち梁）4bの振動による応力を集中的に受ける。そのため、pウェル16は強い圧力を受け、その電気的抵抗値が変化する。ビエゾ電極19、20を通してこのpウェル16に定電流を流すことにより、機械的振動を電圧の変動という電気的振動に変換することが可能となる。なお図2からは明らかではないが、ビエゾ電極19、20は、図1に示す定電流源及び増幅回路6bへと電気的に接続されており、得られた電気的振動はポンディングパッド2g、2hを通して外部に出力される。断面図を省略しているが、図1に示した片持ち梁4a及び片持ち梁4cについても同様である。

【0038】図4は、片持ち梁4の構造を斜視図である（ここでは、特に言及しない限り、片持ち梁4a、4b、4cを集合的に「片持ち梁4」と記す。）。片持ち梁4は、縦の長さb、横の長さl、高さhのビエゾ抵抗部となる直方体と、縦の長さy、横の長さx、高さh'のおもじ部となる直方体とが結合した構造を有している。片持ち梁4はその構造に応じた共振振動数f<sub>0</sub>を有し、その共振振動数は近似的に

$$(3EJ/m^3)^{1/2}$$

【0039】図6は片持ち梁4bと定電流源及び増幅回路6bからなる部分の電気的な等価回路である。pウェル16によるp型ビエゾ抵抗層R<sub>p</sub>と定電流源及び増幅回路6b中の定電流回路i<sub>c</sub>が接続され、増幅器Aにつながっている。増幅器Aで増幅された電気的振動は出力電圧28として外部へ出力される。具体的な出力電圧28の値は

(3)

振動センサを用いた、人間の心身及び周囲環境のモニタリングシステムの模式図である。図8は測定対象となる人物に携帯させた音響振動及び皮表面微小振動検出システムに関するものである。音響振動検出部11と、微小振動検出部12a、微小振動検出部12b、微小振動検出部12cでそれぞれ検出された振動はそれぞれ増幅

器A1、A2、A3、A4によって同程度の強度にまで増幅される。即ち各検出部で検出される振動の強度は振動の種類によって異なり、その後の解析を容易に行うため、加算器3 1で合成される前に各振動を同等のレベルにしておく必要があるためである。体表面微小振動は、音響振動より遙かに振動レベルが低い。その後加算器3 1で各振動が加算され、変調器3 2を経てアンテナ3 3から発信される。

【0041】図9は測定対象者の周囲の状況及び精神・心理状況を解析するためのデータ解析センタに関するものである。まず測定対象者が携帯する検出システムから発せられた電波を、受信部3 4で受信する。その後受信電波を增幅器A5で増幅し、FFT（高速フーリエ変換器）でフーリエ変換を行う。その後 $\alpha$ 波、 $\beta$ 波などを検出するため、周波数スペクトラム解読装置3 7で周波数及びそのスペクトラムを分析する。その後、スペクトラム解読のため知識データベース3 8とデータのやりとりを行う。その後、分析された測定対象の周囲の状況及び精神・心理状況が表示器3 9に表示される。

【0042】図10、図11、図12に示す工程断面図を用いて、本発明の実施形態に係る半導体振動センサの製造方法を説明する。

【0043】(イ)まず、(100)面を有するn型のSi基板5を用意し、スピンドル法等を用いて(100)面のSi基板5の上にレジスト40を塗布し、フォトリソグラフィ法を用いて、 $p^+$ 埋め込み層8を形成予定領域に開口を有するパターンのレジスト40を形成する。その後、分析された測定対象の周囲の状況及び精神・心理状況が表示器3 9に表示される。

このレジスト40をマスクとして、Si基板5に対して垂直方向からボロニイオン( $^{11}B^-$ )などのp型不純物イオンを $3 \times 10^{15} \text{ cm}^{-2} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 程度の高ドーズ量でイオン注入する。1 MeV以上の高エネルギーでイオン注入する場合は、レジスト40の下の金属膜を蒸着法等で堆積し、レジスト／金属膜の2層マスクでイオン注入すれば良い。例えば、 $^{11}B^-$ を2MeVでイオン注入すれば、その射影飛程は、 $2 \cdot 8 \mu\text{m}$ 程度、 $^{11}B^+$ を3MeVでイオン注入すれば、その射影飛程は、 $3 \cdot 9 \mu\text{m}$ 程度になる。その後、活性化の熱処理すれば、図10(a)に示すように、所望の射影飛程の位置に $p^+$ 埋め込み層8が形成される。次に、レジスト40を除去し(或いは、レジスト／金属膜の2層マスクならば、その下の金属膜も除去し)、図10(b)に示すように $p$ ウェル層16と、 $p^+$ 埋め込み層上部のp型層を形成用の拡散マスクを形成する。スピンドル法を用いてSi基板5の上にレジスト41を塗布し、フォトリソグラフィ法を用いて $p$ ウェル層16と、 $p^+$ 埋め込み層上部のp型層を形成する領域に開口を有するパターンのレジスト41を形成する。このレジスト41をマスクとしてSi基板5に対し(100)面に対して垂直方向から $^{11}B^+$ などのp型不純物イオンを、 $3 \times 10^{15} \text{ cm}^{-2} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 程度の高ドーズ量で注入する。この場合は、30~80KeV程度の低エネルギーで加速すれば良い。その後、レジスト42を除去し、所定の温度及び所定の時間、例えば、1150°Cで7~10時間程度熱処理すれば、図10(c)に示すように $p^+$ シンカー15、コンタクト領域17a、コンタクト領域17bの形成予定領域に開口を有するパターンのレジスト42を形成する。このレジスト42をマスクとして、Si基板5の(100)面に垂直方向から $^{11}B^+$ 或いは $^{19}BF_2^+$ などのp型不純物イオンを、 $3 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度の高ドーズ量で注入する。この場合は、30~80KeV程度の低エネルギーで加速すれば良い。その後、レジスト42を除去し、所定の温度及び所定の時間、例えば、1150°Cで7~10時間程度熱処理すれば、図10(c)に示すように $p^+$ シンカー15、コンタクト領域17a、コンタクト領域17bが形成される。図10(b)では、 $p$ ウェル層16は $p^+$ 埋め込み層8まで到達している必要はないが、この段階では、 $p$ ウェル層16は $p^+$ 埋め込み層8まで到達する。

【0045】(ハ)次に、熱酸化法等によりSi基板5の表面上に二酸化シリコン(SiO<sub>2</sub>)膜43を形成する。更にCVD法により、二酸化シリコン膜43の上に窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜43を形成する。次に、反応性イオンエッチング(RIE)等の異方性エッチングを行い、図10(d)に示すようにU字型の溝部(トレチ)を形成する。その後、図10(e)に示すように、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜43を耐酸化マスクとして用い、熱酸化することにより、SiO<sub>2</sub>をU字型の溝部の内部に選択的に埋め込むことで素子分離領域10を形成する。選択酸化の終了後、耐酸化マスクとして用いた窒化シリコン膜43は、熱磷酸等のエッティング液で除去する。なお、窒化シリコン膜43を用いた選択酸化以外にも、CVD法で全面に堆積し、エッチバックしたり、化学的機械研磨(CMP)等の平坦化工程で、SiO<sub>2</sub>をU字型の溝部の内部に選択的に埋め込んでも良い。又、素子分離領域10は、複数の半導体振動センサの間を絶縁するために形成するものであって、その目的を達成出来るものであれば、SiO<sub>2</sub>以外の物質であっても素子分離領域10に用いることは可能である。

【0046】(ニ)次に、スピンドル法によって、Si基板5の裏面にレジスト膜を形成し、フォトリソグラフ

イ法を用いて、振動膜3の形成予定領域に開口を有したパターンからなるレジスト4 5を形成する。その後、レジスト4 5をエッチングマスクとして用い、エチレンジアミン(H<sub>2</sub>N·CH<sub>2</sub>CH<sub>2</sub>NH<sub>2</sub>)水溶液、或いは水酸化カリウム(KOH)溶液等のエッティング液を用いて異方性エッティングを行い、p<sup>+</sup>埋め込み層8の下部のSi部分を、p<sup>+</sup>埋め込み層8が露出するまで、Si基板5の裏面から除去する。この結果、図11(a)に示すように、音響振動部11の振動膜3が形成される。その後、レジスト4 5を除去する。

【0047】(ホ) 次に、スピナ塗布法によって、Si基板5の裏面にレジスト膜4 6を形成し、フォトリソグラフィ法を用いてウェル1 6の下部と、片持ち梁の自由振動端の形成予定領域に開口を有しているパターンのレジスト4 6を形成する。その後、レジスト4 6をエッチングマスクとして用いて、エチレンジアミン水溶液、水酸化カリウム等のエッティング液を用いて、異方性エッティングを行う。この結果、図11(b)に示すように、pウェル1 6の下部のSi基板5及び、片持ち梁の自由振動端近傍のSi基板5を選択的に除去する。図11(b)におけるエッティングの深度は、図11(a)におけるエッティングの深度とは異なるため、振動膜3を形成するためのエッティングとは別工程で行う。

【0048】(ヘ) 次にSi基板5の表面にスピナ塗布法によりレジスト膜を形成し、フォトリソグラフィ法を用いて自由端を形成する領域に開口を有しているパターンのレジスト4 7を形成する。その後、レジスト4 7をエッティングマスクとして用い、異方性エッティングを行い、図11(c)に示すように、片持ち梁の自由振動端を形成する。この工程ではSi基板5の裏面がエッチングされることを防ぐため、あらかじめSi基板5の裏面全体にスピナ塗布法によってレジスト4 8を形成しておく。異方性エッティング終了後、エッティングマスクとして用いたレジスト4 7を除去する。

【0049】(ト) 次に、Si基板5の表面にスピナ塗布法によりレジスト膜を形成し、フォトリソグラフィ法を用いて、埋め込み層取り出し電極9、ピエゾ電極2 0、ピエゾ電極1 9の形成予定領域に、それぞれ開口を有しているパターンのレジスト4 9を形成する。その後、レジスト4 9をエッティングマスクとして用い、図11(d)に示すように、二酸化シリコン膜4 3に選択的にエッティングし、埋め込み層取り出し電極9、ピエゾ電極2 0、ピエゾ電極1 9用のコンタクトホールをそれぞれ形成する。この工程ではSi基板5の裏面がエッチングされることを防ぐため、前工程で用いたレジスト4 8を除去しないで、あらかじめ残していく。

【0050】(チ) 次に、二酸化シリコン膜4 3に形成されたコンタクトホールを介して、電極となるアルミニウム(A1)若しくはアルミニウム合金(A1-Si、A1-Cu-Si)等の金属膜を蒸着若しくはスパッタ

リング法で堆積する。そして、図11(e)に示すように、フォトリソグラフィ法及びRIE法を用いて、金属膜をバターニングし、埋め込み層取り出し電極9、ピエゾ電極2 0、ピエゾ電極1 9を形成する。その後、オーミック接合を実現するため、400°C~450°C程度で、H<sub>2</sub>等の弱酸性ガス中でシンタリングを行う。

【0051】(リ) 次に、Si基板5の表面の全面に、スピナ塗布法によりレジスト膜を形成し、フォトリソグラフィ法を用いてショットキー電極1 3の形成予定領域に開口を有しているパターンのレジスト5 0を形成する。そして、レジスト5 0をエッティングマスクとして用い、図12(a)に示すように、二酸化シリコン膜4 3に選択的にエッティングし、ショットキー電極1 3の形成予定領域のSi基板5の表面を露出させる。次に、エッティングマスクとして用いたレジスト5 0を、リフトオフ用マスクとして用い、ショットキー電極1 3用の金等の金属を、蒸着若しくはスパッタリング法で堆積する。その後、レジスト5 0並びにレジスト5 0上に付着した金属を除去すれば、図12(b)に示すように、ショットキー電極1 3がバターニングされる。以上の工程を経て、図1に示す半導体振動センサを製造することが出来る。

【0052】(変形例1) 本発明の実施形態の変形例1に係る半導体振動センサは、図13に示すように、定電流源と增幅回路部に必要な回路素子を、微小振動検出部(第1振動検出部)9を構成している片持ち梁のおもり部の表面に集積化している。定電流源と增幅回路部を、片持ち梁のおもり部の表面に集積化することによって、半導体振動センサを、より小型化することが可能となる。なお、図13上にはMOSトランジスタからなるMOS集積回路の構造を例示しているが、勿論理解の助けとするための一例にすぎず、バイポーラトランジスタ(BJT)集積回路や静電誘導トランジスタ(SIT)集積回路等の、定電流源と增幅回路部を構成する回路であれば、他の半導体集積回路であっても構わない。

【0053】(変形例2) 本発明の実施形態の変形例2に係る半導体振動センサは、図14に示すように、微小振動検出部(第1振動検出部)5 5において、片持ち梁5 2の下部に舟形のピット5 4を形成している。又、片持ち梁5 2はその下部をSi基板5によって覆われている。図14に示す断面図における他の部分、例えば音響振動検出部(第2振動検出部)1 1や、微小振動検出部5 5におけるピエゾ電極1 9、2 0、pウェル5 3等の配置及び特徴については、図2に示した半導体振動センサとほぼ同一である。

【0054】本発明の実施形態の変形例2に係る半導体振動センサは、片持ち梁5 2がその下部をSi基板5によって覆われることにより、片持ち梁5 2がSi基板5に保護されている。

【0055】本発明の実施形態の変形例2に係る半導体

振動センサは、基本的には、図1及び図2に示した本発明の実施形態に係る半導体振動センサの製造方法と同様である。しかし、舟形のピット54を形成するために、半導体振動センサの上部部分と下部部分を別々に製造し、しかる後にシリコン直接接合(SDB)法で、貼り合わせるという点に特徴がある。この際、貼り合わされる面をきわめて平滑なものに加工しておく必要がある。又、貼り合わせ工程は、1000°Cほどの高温の下で行う必要があるため、各金属電極や、金属配線などを形成する以前に行う必要がある。なお、この製造方法は、本発明の実施形態の変形例2に係る半導体振動センサの製造方法を限定するものではなく、ピット54を効果的に製造出来るものであれば、他の製造方法を用いても構わない。

【0056】本発明の実施形態の変形例2に係る半導体振動センサの特徴は、図1及び図2に示した本発明の実施形態の半導体振動センサと同様の特徴に加え、上記の構造をとることによって衝撃に強い半導体振動センサを実現することが出来る点である。

【0057】図15は、本発明の実施形態の変形例2に係る半導体振動センサのパッケージに関する断面図である。半導体基板の一方の主表面(表面)に接して第1パッケージケース57が接続され、半導体基板の他方の主表面(裏面)に接して第2パッケージケース56が接続されている。図1及び図2に示した本発明の実施形態に係る半導体振動センサのパッケージとの相違は、半導体振動センサの下部と接触する第2パッケージケース56において、図1及び図2に示した本発明の実施形態の場合と比較し、半導体振動センサとの接触面積が広く取られている点である。第2パッケージケース56の微小振動検出部の下の部分は微小振動の受波部としての機能も果たすため、かかる部分が広く微小振動検出部の裏面と接触することによって、微小振動を効率的に検出することができる。音響振動を振動膜3に導くための音波導入口52が設けられている点などは、図1及び図2に示した本発明の実施形態に係るパッケージと同様である。

【0058】(その他の実施形態) 上記のように、本発明は最良の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0059】既に述べた本発明の実施形態、その変形例1及び変形例2において、n型Si基板5の代わりにp型Si基板を用い、p+埋め込み層8の代わりにn+埋め込み層、p+シンカー15の代わりにn+シンカー、pウェル16の代わりにnウェルを用いても、本発明の実施形態、その変形例1及び変形例2に係る半導体振動センサを実現することが可能である。

【0060】又、図10～図12に示した半導体振動センサの製造工程は、一例にすぎない。例えば、図10(a)に示した(イ)の段階でのp+埋め込み層8の形成工程を省略し、後の段階の工程で、p+埋め込み層8を形成することも可能である。即ち、図11(a)に示した(ニ)の段階の異方性エッチング工程が終了した後、異方性エッチングで形成した凹部の底部、即ち振動膜3の裏面にp型不純物イオンを選択的に注入しても良い。この場合、異方性エッチングのエッチングマスクに用いたレジスト42を残存させ、これをイオン注入マスクとして用い、p型不純物イオンを選択的に注入することが可能である。イオン注入後、イオン注入マスク42を除去し、所定の時間熱処理し、熱拡散させることにより、p+埋め込み層8が形成される。変形例1及び変形例2に係る半導体振動センサの製造工程でも、同様に、p+埋め込み層8の形成工程を(ニ)の段階の異方性エッチング工程の後に行うことが可能である。

【0061】また、本発明の実施形態、その変形例1及び変形例2において、第1振動検出部として、片持梁の振動による半導体層の歪みに起因したビエゾ抵抗の変化を測定する微小振動検出部、第2振動検出部として空乏層の等価回路定数の変化を測定する音響振動検出部について説明した。しかし、本発明は、これらの微小振動検出部及び音響振動検出部の組み合わせに限定されるものではない。第1振動検出部と、この第1振動検出部よりも周波数域が高く、第1振動検出部とは動作原理の異なる第2振動検出部とからなる組み合わせであれば、種々の基本構造、動作原理からなる振動センサの組み合わせが適用可能である。

【0062】このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定位事項によってのみ定められるものである。

### 【0063】

【発明の効果】以上説明したように本発明によれば、小型であって、周波数域と振動レベルの異なる振動を同時に検出することが出来る半導体振動センサを提供することが出来る。

【0064】又、同一半導体基板上に、第1振動検出部と第2振動検出部とを高密度に集積化した場合において、相互の干渉を防止し、特定の振動数を有する微小振動を、パックグラウンド成分若しくはノイズ成分となる異なる周波数域の振動と、簡単に分離して高感度で検出することが出来る。

### 【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体振動センサの構造を示す上面図である。

【図2】本発明の実施形態に係る半導体振動センサの構造を示す断面図である。

【図3】本発明の実施形態に係る半導体振動センサのパッケージの構造を示す断面図である。

【図4】本発明の微小振動検出部中の片持ち梁の構造を示す斜面図である。

【図5】本発明の音響振動検出用振動膜の構造を示す斜面図である。

【図6】本発明の微小振動検出部の電気的等価回路図である。

【図7】本発明の音響振動検出部の電気的等価回路図である。

【図8】本発明の半導体振動センサを用いた人間の心身及び周囲環境のモニタリングシステムの発信器部分のシステム図である。

【図9】本発明の半導体振動センサを用いた人間の心身及び周囲環境のモニタリングシステムの受信部分のシステム図である。

【図10】本発明の実施形態に係る半導体振動センサの製造方法のうち、主要な工程を示す断面図である。

【図11】本発明の実施形態に係る半導体振動センサの製造方法のうち、主要な工程を示す断面図である。

【図12】本発明の実施形態に係る半導体振動センサの製造方法のうち、主要な工程を示す断面図である。

【図13】本発明の実施形態の変形例1に係る半導体振動センサの構造を示す断面図である。

【図14】本発明の実施形態の変形例2に係る半導体振動センサの構造を示す断面図である。

【図15】本発明の実施形態の変形例2に係る半導体振動センサのパッケージの構造を示す断面図である。

#### 【符号の説明】

2a～21 ポンディングパッド

3 振動膜

4 片持ち梁

5 Si 基板

6 定電流源及び增幅回路

7 I/Vコンバータ

8 p+埋め込み層

9 埋め込み層取り出し電極

10 素子分離領域

11 音響振動(音波)検出部(第2振動検出部)

12 微小振動検出部(第1振動検出部)

13 ショットキー電極

14 空乏層

15 p+シンカー

16 p ウェル

17 コンタクト領域

18 パッシベーション膜

19, 20 ピエゾ電極

23, 14 パッケージケース

25 音波導入口

26 リード線

27 音響センサの等価回路

28 出力電圧

29 出力電圧

30 オペアンプ回路

31 加算器

32 変調器

33 アンテナ

34 受信部

35 復調器

36 FET

37 周波数スペクトラム解読装置

38 知識データベース

39 表示部

40～42, 45～50 レジスト

43 SiO<sub>2</sub>膜

44 Si<sub>3</sub>N<sub>4</sub>膜

52 片持ち梁

53 p ウェル

54 ピット

55 微小振動検出部

56, 57 パッケージケース

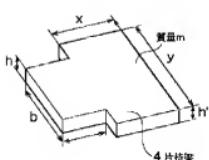
58 ドレイン電極

59 ソース電極

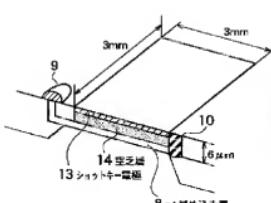
60 ゲート電極

61 ポリシリコン

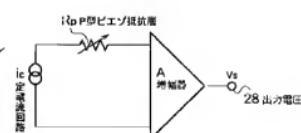
【図4】



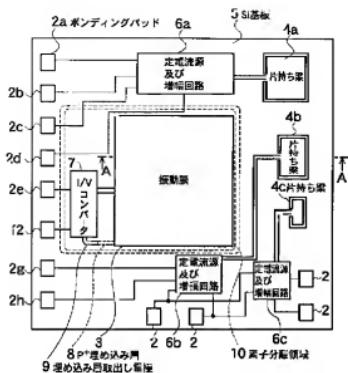
【図5】



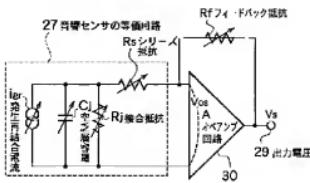
【図6】



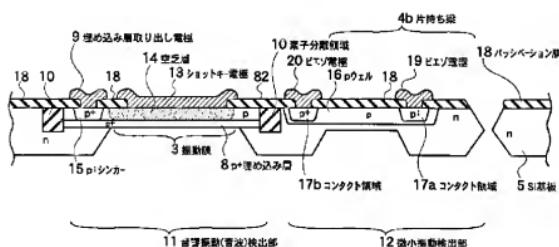
【図1】



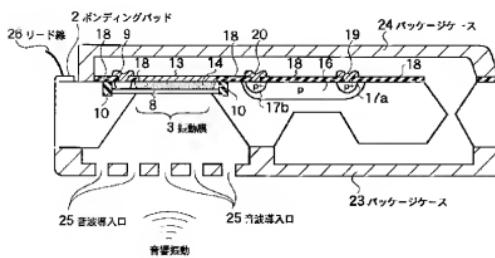
【図7】



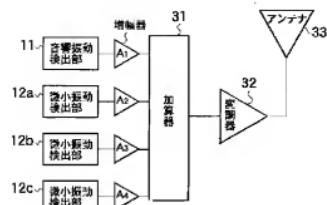
【図2】



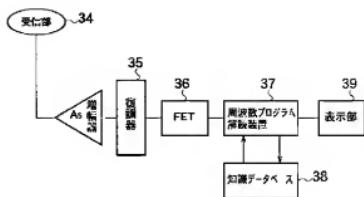
【図3】



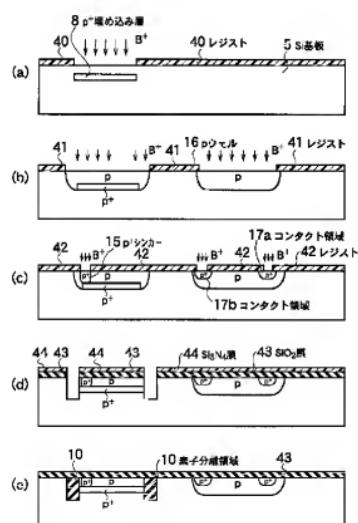
【図8】



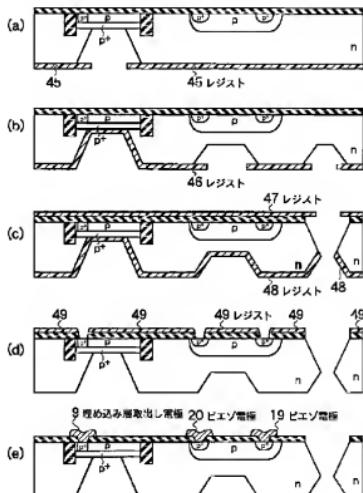
【図9】



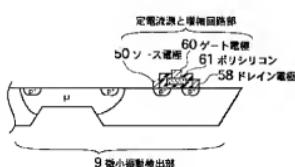
【図10】



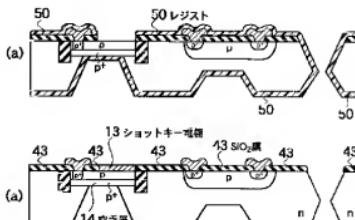
【図11】



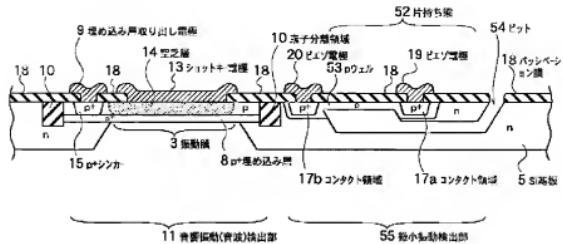
【図13】



【図12】



【図14】



【図15】

